

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

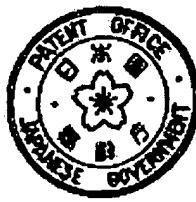
Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



(19)

(11) Publication number:

61

Generated Document.

PATENT ABSTRACTS OF JAPAN

(21) Application number: 59050413

(51) Int'l. Cl.: H01L 23/12 H01L 23/02 H01
1/18

(22) Application date: 16.03.84

(30) Priority:	(71) Applicant: NEC CORP
(43) Date of application publication:	(72) Inventor: SENBA NAOHARU
(84) Designated contracting states:	(74) Representative:

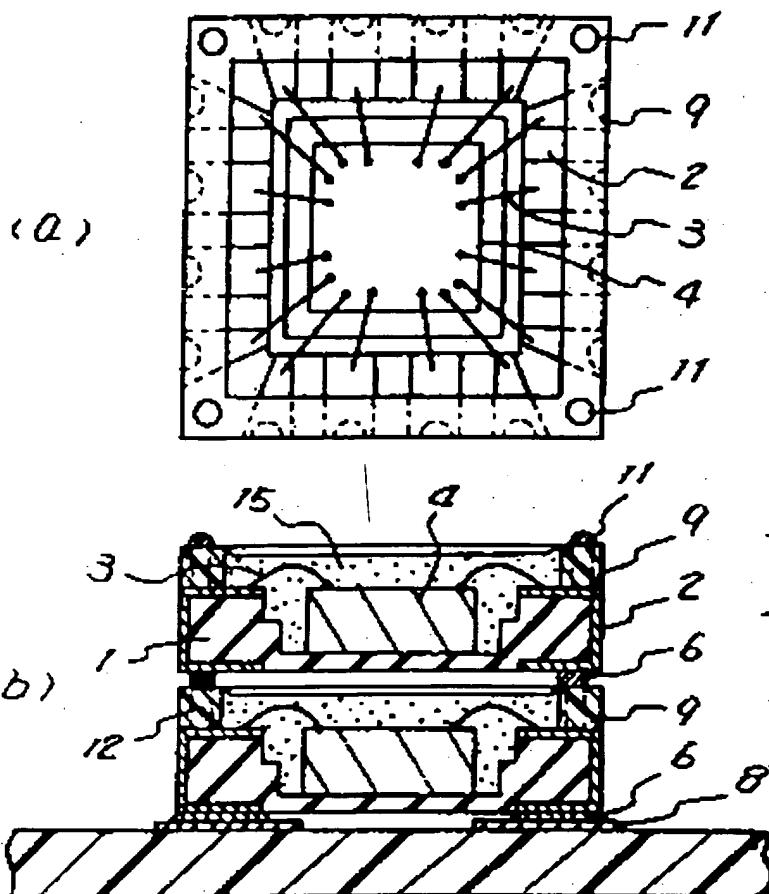
(54) CHIP CARRIER**(57) Abstract:**

PURPOSE: To enable stacking at two stages and three stages with similar semiconductor devices using chip carriers by a method wherein the upper part of a chip carrier body is provided with an electrode for stacking connection.

CONSTITUTION: A resinous frame 9 is adhered to the upper surface in the periphery of a ceramic container base 1, thus forming the chip carrier body. Electrodes 11 penetrating vertically through through-holes 12 are provided in the frame 9 or the four corners of the chip carrier body. After a semiconductor element 4 is fixed to the center recess of the container base 1, the electrode of the semiconductor element 4 is connected to the chip carrier electrode 2 of the base 1 with metallic fine wires 3; then, the whole is sealed with a resin 15. A semiconductor device 10 thus constructed is

connected by fitting the electrodes 11 at the four corners of the container base 1 to the electrode 8 of the printed circuit board 7. Next, a similar semiconductor device 20 is stacked on the semiconductor device 10 and fixed by connection with the four-corner electrodes 11 penetrating through the upper and lower surfaces; thereby, a two-stacked chip carrier type semiconductor device is obtained.

COPYRIGHT: (C)1985,JPO&Japio

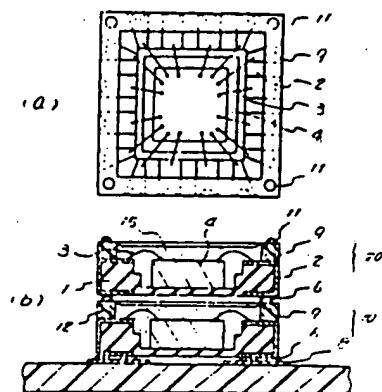


(54) CHIP CARRIER

(11) 60-194518 (A) (13) 3.10.1985 (19) JP
(21) Appl. No. 59-50113 (22) 16.3.1984
(71) NIPPON DENKI K.K. (72) NAOHARU SENBA
(51) Int. Cl. II01L23.12, II01L23.02, II01L25.10, II05K1/18

PURPOSE: To enable stacking at two stages and three stages with similar semiconductor devices using chip carriers by a method wherein the upper part of a chip carrier body is provided with an electrode for stacking connection.

CONSTITUTION: A resinous frame 9 is adhered to the upper surface in the periphery of a ceramic container base 1, thus forming the chip carrier body. Electrodes 11 penetrating vertically through through-holes 12 are provided in the frame 9 or the four corners of the chip carrier body. After a semiconductor element 4 is fixed to the center recess of the container base 1, the electrode of the semiconductor element 4 is connected to the chip carrier electrode 2 of the base 1 with metallic fine wires 3; then, the whole is sealed with a resin 15. A semiconductor device 10 thus constructed is connected by fitting the electrodes 11 at the four corners of the container base 1 to the electrode 8 of the printed circuit board 7. Next, a similar semiconductor device 20 is stacked on the semiconductor device 10 and fixed by connection with the four-corner electrodes 11 penetrating through the upper and lower surfaces; thereby, a two-stacked chip carrier type semiconductor device is obtained.



⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A) 昭60-194548

⑬ Int.Cl.

H 01 L 23/12
23/02
25/10
H 05 K 1/18

識別記号

厅内整理番号

7357-5F
7738-5F
7638-5F
6736-5F

⑭ 公開 昭和60年(1985)10月3日

審査請求 未請求 発明の数 1 (全2頁)

⑮ 発明の名称 テップキャリヤ

⑯ 特願 昭59-50413

⑰ 出願 昭59(1984)3月16日

⑱ 発明者 仙波 直治 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出願人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代理人 弁理士 内原 音

明細書

1. 発明の名称

步步キャリヤ

2. 专利請求の範囲

步步キャリヤ本体部の上面に、横重ね接続用の電極が設けられていることを特徴とする步步キャリヤ。

3. 発明の詳細な説明

1. 産業上の利用分野

本発明は、焼結回路素子などの半導体素子を内部に収納し保護する収納容器(パッケージといふ)のうち、特にリードレス型として開発された步步キャリヤに関するもの。

2. 従来技術

第1図(a)は、従来一般的な步步キャリヤ型パッケージの半導体装置の平面図、同図(b)は断面図である。これらの図において、セラミックやガラス

エポキシなどで作られている步步キャリヤの容器基台1に電極2が形成され、中央凹部に半導体素子4を配置し、半導体素子の電極と步步キャリヤの電極2との間が金属細線3を用いて接続され、樹脂5により封止されている。このような半導体装置をプリント回路基板7に搭載する場合は、步步キャリヤの電極2とプリント回路基板側電極8を接着剤(導電性接着剤・はんだ等)6を用いて接続している。

しかしながら、このような構造では、平面的な搭載方法のみしか通用不可能であり、プリント回路基板に直接半導体素子を搭載し、ワイヤボンディングによる接続方法と比較しても、ポンディング範囲よりも更に大きくなるので実現度は低くなる。しかし、高集積化、小型化が要求されている現今では、従来方法の步步キャリヤの構造をもってしては対応不可能である。

3. 発明の目的

本発明の目的は、前述したような従来構造の問題点を解消することのできる多段階取付步步キャ

リナを提供するにある。

ニ・発明の構成

本発明によればチップキャリヤ本体部の上面に、積重ね接続用の電極が設けられたチップキャリヤが得られる。

ホ・実施例

つぎに本発明を実施例により説明する。

第2図(a)は本発明の一実施例に係るチップキャリヤを用いて組立てた半導体装置の平面図、同図(b)は断面図である。これらの図において、セラミックの容器基台1周辺部上面に、樹脂製の枠体9が接着されて、チップキャリヤ本体を形成し、枠体9、換言すれば、チップキャリヤ本体の四隅には、スルホール12により上下に貫通している電極11が設けられている。容器基台1の中央凹部に半導体素子4を固定後、半導体素子4の電極と基台1のチップキャリヤ電極2との間は金属糊線3により接続後、樹脂15により封止されている。このように構成された半導体装置10は、プリント回路基板7の電極8に容器基台1の四隅の電極

特開昭60-194548(2)

11を合せて接続し、つぎに、同様の半導体装置20を半導体装置10の上に重ね、上下面に貫通している四隅の電極11でもって接続固定することにより、2段重ねのチップキャリヤ型半導体装置が得られる。

ヘ・発明の効果

本発明のチップキャリヤを用いた半導体装置は、チップキャリヤ本体上部に、積重ね接続用の電極が設けられているので、この電極を用いて、同様のチップキャリヤを用いた半導体装置と、2段にも3段にも重ね合せることができる。したがって、このようにして多段構成とすることにより、プリント回路基板に直接半導体素子を搭載し、ワイヤボンディングで実装するのに比べ、容易に2倍以上の集成度とことができる効果がある。

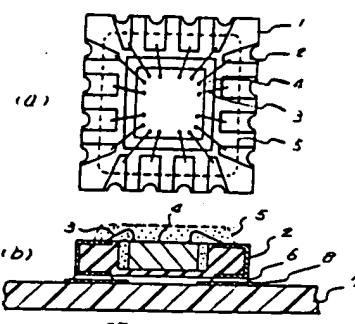
4. 図面の簡単な説明

第1図(a)は従来のチップキャリヤを用いた半導体装置の平面図、同図(b)断面図、第2図(a)は本発明の一実施例による半導体装置の平面図、同図(b)

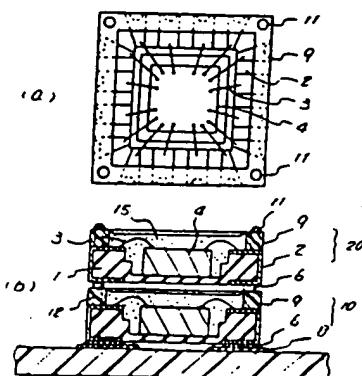
は断面図である。

1 ……容器基台、2 ……チップキャリヤ電極、
3 ……金属糊線、4 ……半導体素子、5 ……封止樹脂、
7 ……プリント回路基板、8 ……回路基板電極、
9 ……枠体、11 ……積重ね接続用四隅電極、
12 ……スルーホール、10、20 ……半導体装置。

代理人弁理士 内原 錄



第1図



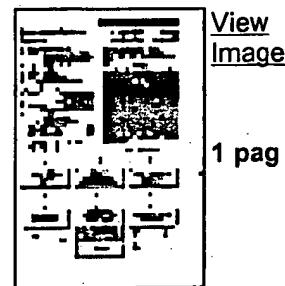
第2図

Title:JP60194548A2: CHIP CARRIER

Country:JP Japan

Kind:A

Inventor(s):SENBA NAOHARU



Applicant/AssigneeNEC CORP

Inquire Regarding Licensing[News, Profiles, Stocks and More about this company](#)

Issued/Filed Dates:Oct. 3, 1985 / March 16, 1984

Application Number:JP1984000050413

IPC Class:H01L 23/12; H01L 23/02; H01L 25/10; H05K 1/18;Priority Number(s):March 16, 1984 JP1984000050413

Abstract:**Purpose:** To enable stacking at two stages and three stages with similar semiconductor devices using chip carriers by a method wherein the upper part of a chip carrier body is provided with an electrode for stacking connection.



Constitution: A resinous frame 9 is adhered to the upper surface in the periphery of a ceramic container base 1, thus forming the chip carrier body. Electrodes 11 penetrating vertically through through-holes 12 are provided in the frame 9 or the four corners of the chip carrier body. After a semiconductor element 4 is fixed to the center recess of the container base 1, the electrode of the semiconductor element 4 is connected to the chip carrier electrode 2 of the base 1 with metallic fine wires 3; then, the whole is sealed with a resin 15. A semiconductor device 10 thus constructed is connected by fitting the electrodes 11 at the four corners of the container base 1 to the electrode 8 of the printed circuit board 7. Next, a similar semiconductor device 20 is stacked on the semiconductor device 10 and fixed by connection with the four-corner electrodes 11 penetrating through the upper and lower surfaces; thereby, a two-stacked chip carrier type semiconductor device is obtained.

COPYRIGHT: (C)1985,JPO&Japio

Family:none

Other Abstract Info:none

Foreign References:[Show the 6 patents that reference this one](#)

⑨ 日本国特許庁 (JP) ⑩ 特許出願公開
 ⑪ 公開特許公報 (A) 昭60-194548

⑫ Int. Cl. ¹	識別記号	厅内整理番号	⑬ 公開 昭和60年(1985)10月3日
H 01 L 23/12		7357-5F	
23/02		7738-5F	
25/10		7638-5F	
H 05 K 1/18		6736-5F	審査請求 未請求 発明の数 1 (全2頁)

⑭ 発明の名称 チップキャリヤ

⑮ 特願 昭59-50413

⑯ 出願 昭59(1984)3月16日

⑰ 発明者 仙波直治 東京都港区芝5丁目33番1号 日本電気株式会社内
 ⑱ 出願人 日本電気株式会社 東京都港区芝5丁目33番1号
 ⑲ 代理人 弁理士 内原晋

明細書

1. 発明の名称

チップキャリヤ

2. 特許請求の範囲

チップキャリヤ本体部の上面に、積重ね接続用の電極が設けられていることを特徴とするチップキャリヤ。

3. 発明の詳細な説明

1. 産業上の利用分野

本発明は、集積回路素子などの半導体素子を内部に収納し保護する収納容器(パッケージといふ)のうち、特にリードレス型として開発されたチップキャリヤに関する。

2. 従来技術

第1図(a)は、従来一般のチップキャリヤ型パッケージの半導体装置の平面図、同図(b)は断面図である。これらの図において、セラミックやガラス

エポキシなどで作られているチップキャリヤの容器基台1に電極2が形成され、中央凹部に半導体素子4を接着後、半導体素子の電極とチップキャリヤの電極2との間が金属細線3を用いて接続され、樹脂5により封止されている。このような半導体装置をプリント回路基板7に搭載する場合は、チップキャリヤの電極2とプリント回路基板側電極8を接着剤(導電性接着剤・はんだ等)6を用いて接続している。

しかしながら、このような構造では、平面的な搭載方法のみしか適用不可能であり、プリント回路基板に直接半導体素子を搭載し、ワイヤボンディングによる接続方法と比較しても、ボンディング範囲よりも更に大きくなるので集積度は低くなる。しかし、高集積化、小型化が要求されている現今では、従来方法のチップキャリヤの構造をもつてしては対応不可能である。

3. 発明の目的

本発明の目的は、前述したような従来構造の問題点を解消することのできる多段搭載チップキャ

リヤを提供するに る。

ニ. 発明の構成

本発明によればチップキャリヤ本体部の上面に、積重ね接続用の電極が設けられたチップキャリヤが得られる。

ホ. 実施例

つぎに本発明を実施例により説明する。

第2図(a)は本発明の一実施例に係るチップキャリヤを用いて組立てた半導体装置の平面図、同図(b)は断面図である。これらの図において、セラミックの容器基台1周辺部上面に、樹脂製の枠体9が接着されて、チップキャリヤ本体を形成し、枠体9、換言すれば、チップキャリヤ本体の四隅には、スルホール12により上下に貫通している電極11が設けられている。容器基台1の中央凹部に半導体素子4を固定後、半導体素子4の電極と基台1のチップキャリヤ電極2との間は金属細線3により接続後、樹脂15により封止されている。このように構成された半導体装置10は、プリント回路基板7の電極8に容器基台1の四隅の電極

は断面図である。

1 ……容器基台、2 ……チップキャリヤ電極、3 ……金属細線、4 ……半導体素子、5 ……封止樹脂、7 ……プリント回路基板、8 ……回路基板電極、9 ……枠体、11 ……積重ね接続用四隅電極、12 ……スルーホール、10, 20 ……半導体装置。

代理人弁理士 内原

晋
内原

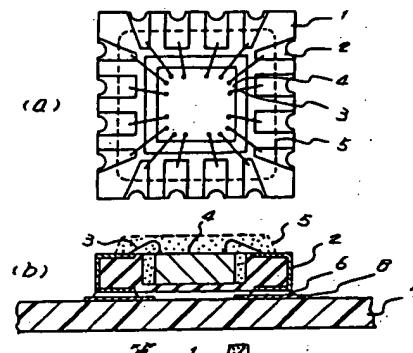
11を合せて接続し、つぎに、同様の半導体装置20を半導体装置10の上に重ね、上下面に貫通している四隅の電極11でもって接続固定することにより、2段重ねのチップキャリヤ型半導体装置が得られる。

ヘ. 発明の効果

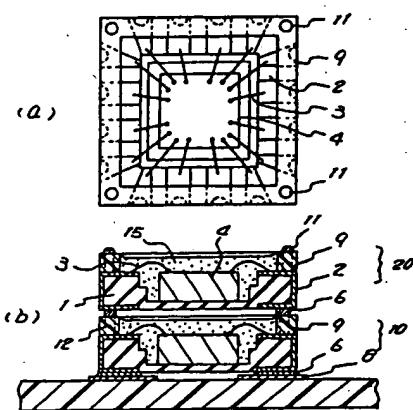
本発明のチップキャリヤを用いた半導体装置は、チップキャリヤ本体上部に、積重ね接続用の電極が設けられているので、この電極を用いて、同様のチップキャリヤを用いた半導体装置と、2段にも3段にも重ね合せることができる。したがって、このようにして多段構成とすることにより、プリント回路基板に直接半導体素子を搭載し、ワイヤボンディングで実装するのに比べ、容易に2倍以上の集積度とすることができる効果がある。

4. 図面の簡単な説明

第1図(a)は従来のチップキャリヤを用いた半導体装置の平面図、同図(b)断面図、第2図(a)は本発明の一実施例による半導体装置の平面図、同図(b)



第1図



第2図